

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

POWERED BY Dialog

LAMINATED SEMICONDUCTOR DEVICE**Publication Number:** 04-360570 (JP 4360570 A) , December 14, 1992**Inventors:**

- TANIZAWA MOTOAKI
- HIGASHIYA KEIICHI

Applicants

- MITSUBISHI ELECTRIC CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 03-163951 (JP 91163951) , June 06, 1991**International Class (IPC Edition 5):**

- H01L-027/00

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)

JAPIO Keywords:

- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)

Abstract:

PURPOSE: To easily connect adjacent circuits to each other through openings for wiring and, at the same time, to prevent unnecessary crosstalk of signals between each layer of a semiconductor circuit by providing the openings through conductor layers in insulator films between each layer of the semiconductor circuits.

CONSTITUTION: Stripe-like conductors 1-6 which are respectively composed of two layers are arranged in layer insulating films 18 which separate the first to fourth layer circuits 20-23 of a semiconductor circuit from each other. The wiring 17 of each layer is connected to the conductors 1-6 and the circuit wiring 17 of each layer is connected to the circuit wiring 17 of its adjacent layer by means of wiring passed through gaps (openings) between each conductor 1-6. Since the shield layers for preventing crosstalk are formed to a stripe-like shape in such a way, each adjacent circuits can be connected to each other without passing through earthing or power supply wires. In addition, since the stripe-like conductors 1-6 can be set to different potentials and can be used as wires for earthing and power supply potential, the degree of wiring freedom can be increased. (From: *Patent Abstracts of Japan*, Section: E, Section No. 1361, Vol. 17, No. 230, Pg. 147, May 11, 1993)

JAPIO

© 2001 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 3995470

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-360570

(43) 公開日 平成4年(1992)12月14日

(51) Int.Cl.⁵

H 0 1 L 27/00

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 H 8418-4M

C 8418-4M

審査請求 未請求 請求項の数 3 (全 5 頁)

(21) 出願番号 特願平3-163951

(22) 出願日 平成3年(1991)6月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 谷沢 元昭

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72) 発明者 東谷 恵市

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

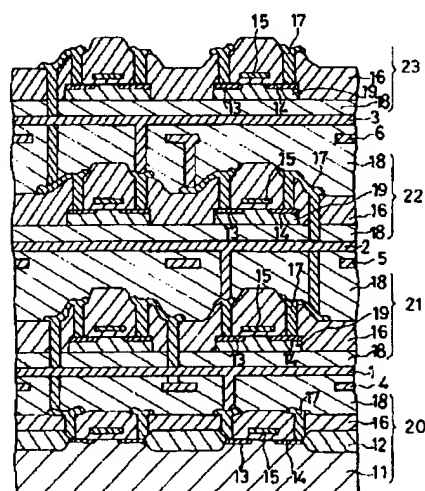
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 積層型半導体装置

(57) 【要約】

【構成】 層状に立体的に配置してなる積層型半導体装置の各第1～4層回路20～23を分離する層間絶縁膜18中に、導電体1～3、導電体4～6をストライプ状に2層に配置する。そして導電体1～6を各層の接地及び電源電位の配線として用いる。

【効果】 導電体1～6により不要なクロストークを防止しつつ、導電体1～6のストライプの隙間を通して各層間での回路接続が容易に行え、また配線の自由度が増す。



1-6: ストライプ状導電体
11: p型シリコン基板
12: フィルム酸化膜
13, 14: n型シリコン領域
15: ゲート電極
16: 絶縁膜

17: 配線
18: 層間絶縁膜
19: 酸化シリコン
20: 第1層回路
21: 第2層回路
22: 第3層回路
23: 第4層回路

【特許請求の範囲】

【請求項1】 層状に立体的に配置された複数の半導体回路を有し、該半導体回路の各層を絶縁膜中に形成された導電体の層にて上、下に分離してなる積層型半導体装置において、上記導電体の層は、上記半導体回路の各層間を接続するための配線の通る開口部を有するものであることを特徴とする積層型半導体装置。

【請求項2】 上記導電体の層は、複数の平行なストライプ状の導電体からなる組を複数異なる角度に配置してなるものであることを特徴とする請求項1記載の積層型半導体装置。

【請求項3】 上記複数のストライプ状の導電体の層は、接地または電源用の配線であることを特徴とする請求項2記載の積層型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は積層型半導体装置に関し、特にその構造の改良に関するものである。

【0002】

【従来の技術】図5は従来の積層型半導体装置の断面構成図であり、これは4層構造3次元回路素子の断面を示すものである。図において、11はP型シリコン基板、13、14はソース、ドレイン領域となるn型シリコン領域、15はゲート電極、12はフィールド酸化膜、16は絶縁膜、17は各素子に接続された配線、18は層状に立体的に配置された半導体回路の各層を分離する層間絶縁膜、19は再結晶化されたP型シリコンであり、20～23は層状に立体的に配置された半導体回路の第1～第4層回路を示す。1'～3'は該半導体回路の各層間に配置されたポリシリコン等からなる平板状の導電体である。そして該導電体1'、3'は電源電位を、また導電体2'は接地電位をそれぞれ供給する配線となっている。

【0003】図6は図5に示された4層構造3次元回路素子の回路図の一例である。図において、図5と同一符号は同一又は相当部分を示し、配線41は図1に示すP型シリコン基板11に対応し、配線42～44は導電体1'～3'にそれぞれ対応している。第1、第3層回路20、22はインバータを3段接続した回路であり、また第2層回路21はNANDおよびNORから成る回路であり、第4層回路23はフォトダイオードとそのスイッチングトランジスタからなる回路である。

【0004】図5に示した4層構造回路素子では、各層の回路素子、即ち第1～第4層回路20～23が独立または相互に信号を授受しつつ、機能的な動作を行う。また上記構成において、導電体1'～3'の層は、上下に隣り合った第1層回路20～第2層回路21、第2層回路21～第3層回路22、第3層回路22～第4層回路23間でそれぞれ層間絶縁膜18の容量を介して生じる信号のクロストークを防止するためのシールド層の役目

を担っている。

【0005】

【発明が解決しようとする課題】従来の積層型半導体装置は以上のように構成されており、平板状に構成されたシールド層である導電体により上下に隣接する回路間での接続が困難であるという問題点があった。この発明は上記のような問題点を解消するためになされたもので、3次元回路における各層間の信号のクロストークを防止し、かつ、各層間での回路接続を容易できる積層型半導体装置を得ることを目的とする。

【0006】

【課題を解決するための手段】この発明に係る積層型半導体装置は、半導体回路の各層間の絶縁膜中の導電体の層を、上記半導体回路の各層間を接続するための配線の通る開口部を有するようにしたものである。また、上記導電体の層を、複数の平行なストライプ状の導電体からなる組を複数異なる角度に配置してなるものとしたものである。また上記ストライプ状の導電体を、接地または電源電位の配線としたものである。

【0007】

【作用】この発明においては、上記構成としたので、上記開口部を通して半導体回路の各層間での回路接続ができ、また各層間での信号の不要なクロストークを防止することができる。また上記導電体の層は、複数の平行なストライプ状の導電体からなる組を複数異なる角度に配置するようにしたので、交差する導電体の層の隙間を通して各層間での回路接続ができ、また各層間での信号の不要なクロストークを防止することができる。また上記複数のストライプ状の導電体により、上記半導体回路の各層の接地または電源電位を供給することができる。

【0008】

【実施例】図1は本発明の一実施例による積層型半導体装置の断面構成図である。図において、図5と同一符号は同一又は相当部分を示し、1～6は半導体回路の各層間にストライプ状に配置された導電体であり、不純物を添加して低抵抗化したポリシリコン等からなる。該導電体1～6には、各層内で該層の配線17が接続されており、また隣接する各層の回路配線17は、上記導電体1～6の隙間（開口部）を通る配線により相互に接続されている。

【0009】図2は上記ストライプ状の導電体1～6を示す上面図であり、図3は該ストライプ状の導電体1～6の側面からの断面図である。図中、図1と同一符号は同一又は相当部分を示す。図に示すように、導電体1～3、導電体4～6はストライプ状に形成され、2層となっている。

【0010】図4は図1に示された素子の回路図の一例である。図において、図1と同一符号は同一又は相当部分を示し、31、32'、33、34'は接地電位を供給する配線、32、33'、34は電源電位を供給する

配線である。図4に示す接地電位配線31は図1におけるP型シリコン基板11に対応し、図4に示す接地電位配線32'、33、34'は図1における導電体4、5、6に対応し、図4に示す電源電位配線32、33'、34は図1における導電体1、2、3にそれぞれ対応している。第1、第3層回路20、22はインバータを3段接続した回路、第2層回路21はNANDおよびNORからなる回路、第4層回路23はフォトダイオードとそのスイッチングトランジスタからなる回路を示しており、第2層回路21中のNOR回路は、第1層回路20に含まれるトランジスタ51、及び第2層回路21に含まれるトランジスタ52、53より構成されている。

【0011】次に作用について説明する。接地電位配線32'、33、34'及び電源電位配線32、33'、34はそれぞれ上下に隣接する回路に対して、接地および電源電位用の配線として用いられ、また各層間のクロストークを防ぐためのシールド層として用いられる。尚、接地電位配線32'、33、34'及び電源電位配線32、33'、34、即ち導電体1～6のストライプの間隔を適当に調節することにより、クロストークは防

止できる。また、これらのシールド層、即ち接地電位配線32'、33、34'及び電源電位配線32、33'、34はストライプ状に配置されているので、トランジスタ50、51、52より構成されるNOR回路のように、隣接する層間での回路や素子の接続が可能になる。

【0012】このように本実施例によれば、半導体回路の第1～4層回路20～23を分離する層間絶縁膜18中に、2層のストライプ状導電体1～6を配置したので、各層間での信号の不要なクロストークを防止しつ

10

20

30

40

【0014】なお、上記実施例ではnチャネルMOSトランジスタで各回路を構成しているものを示したが、PチャネルMOSトランジスタとの相補型、あるいはPチャネルMOSトランジスタのみからなる構成の場合でもよい。

【0015】

【発明の効果】以上のようにこの発明に係る積層型半導体装置によれば、半導体回路の各層間の絶縁膜中の導電体の層を、配線の通る開口部を有するようにしたので、該開口部を通して隣接する回路の接続を容易に行うことができ、また半導体回路の各層間での信号の不要なクロストークを防止することができるという効果がある。

【0016】また上記導電体の層を、複数の平行なストライプ状の導電体からなる組を複数異なる角度に配置したものとしたので、交差する導電体の層の隙間を通して各層間での回路接続が容易にでき、また各層間での信号の不要なクロストークを防止することができるという効果がある。

【0017】また上記複数のストライプ状の導電体を設けたので、上記半導体回路の各層のそれぞれ接地または電源電位の配線として用いることができ、配線の自由度が増すという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による積層型半導体装置の断面構成図。

【図2】2層の導電体よりなるシールド層の上面図。

【図3】2層の導電体よりなるシールド層の側面図。

【図4】図1に対応する回路図。

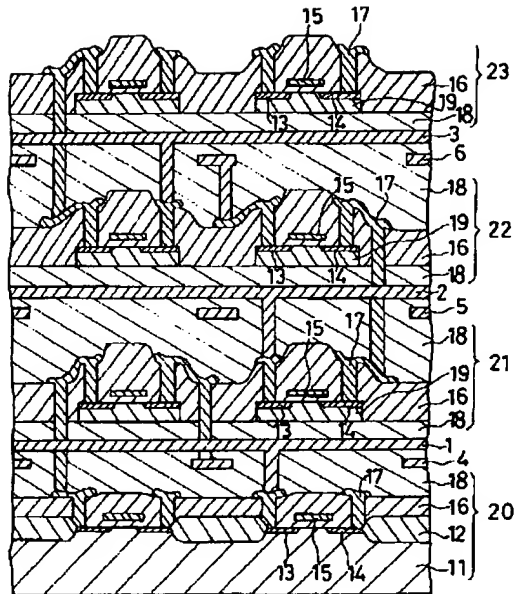
【図5】従来の積層型半導体装置の断面構成図。

【図6】図5に対応する回路図。

【符号の説明】

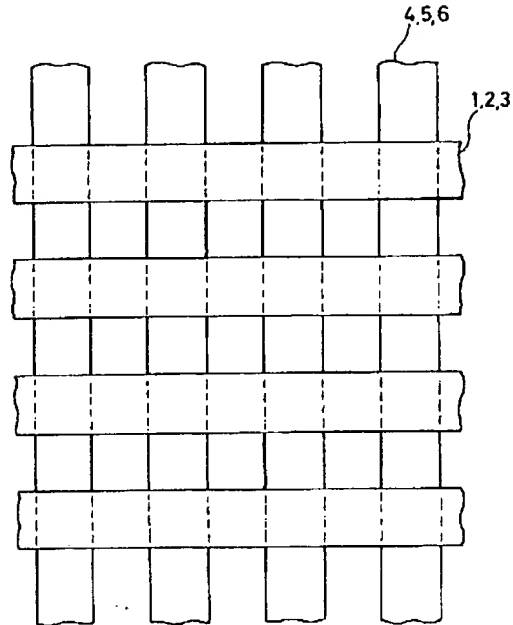
1～6	ストライプ状導電体
11	P型シリコン基板
12	フィールド酸化膜
13、14	n型シリコン領域
15	ゲート電極
16	絶縁膜
17	配線
18	層間絶縁膜
19	再結晶化されたP型シリ
コン	
20～23	第1～第4層回路
31、32'、33、34'	接地電位配線
32、33'、34	電源電位配線

【図1】

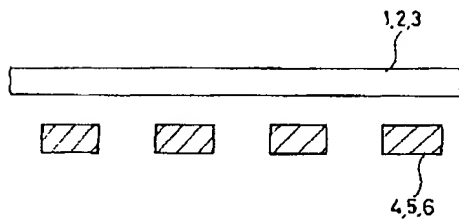


- | | |
|-----------------|---------------------|
| 1~6: イソラップ誘導電体 | 17: 配線 |
| 11: p型シリコン基板 | 18: 層間絶縁膜 |
| 12: フィルト酸化膜 | 19: 多結晶化シリコンとp型シリコン |
| 13,14: n型シリコン領域 | 20: 第1層回路 |
| 15: ゲート電極 | 21: 第2層回路 |
| 16: 絶縁膜 | 22: 第3層回路 |
| | 23: 第4層回路 |

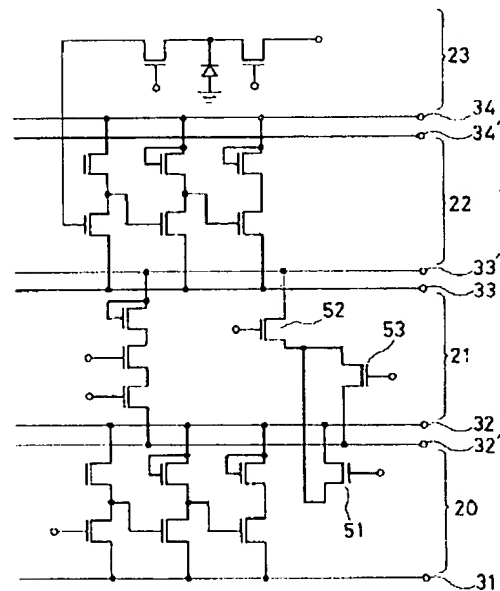
【図2】



【図3】



【図4】



31,32,33,34: 接地電位配線
32,33,34: 電源電位配線

特開平4-360570

【图 6】

